

日本国特許庁  
JAPAN PATENT OFFICE

7-16-4

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月28日

出願番号  
Application Number: 特願2003-053260  
[ST. 10/C]: [JP2003-053260]

出願人  
Applicant(s): エルピーダメモリ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2004年 3月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫

出証番号 出証特2004-3015493

【書類名】 特許願

【整理番号】 22310300

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

    【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
                                株式会社内

    【氏名】 菊地 渉

【発明者】

    【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
                                株式会社内

    【氏名】 管野 利夫

【発明者】

    【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
                                株式会社内

    【氏名】 伊佐 聡

【特許出願人】

    【識別番号】 500174247

    【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

    【識別番号】 100071272

    【弁理士】

    【氏名又は名称】 後藤 洋介

【選任した代理人】

    【識別番号】 100077838

    【弁理士】

    【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型半導体パッケージ

【特許請求の範囲】

【請求項 1】 複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する 2 個の半導体チップを、前記搭載面が基板を挟んで互いに対向するように当該基板の表裏面に搭載したことを特徴とする積層型半導体パッケージ。

【請求項 2】 請求項 1 に記載の積層型半導体パッケージにおいて、前記基板が、その表面上または裏面上の領域であって、前記 2 個の半導体チップを搭載するための領域とは異なる領域に、前記複数のチップピンに夫々対応する複数のパッケージピンを備えていることを特徴とする積層型半導体パッケージ。

【請求項 3】 請求項 2 に記載の積層型半導体パッケージにおいて、前記複数のパッケージピンが予め定められた配置と同じ配置で形成されていることを特徴とする積層型半導体パッケージ。

【請求項 4】 請求項 1, 2 または 3 に記載の積層型半導体パッケージにおいて、

前記複数のパッケージピンが、前記 2 個の半導体チップのうちのいずれか一方の対応するチップピンにのみ接続されるオプションピンと、前記 2 個の半導体チップの各々の対応するチップピンに共に接続されるレギュラーピンとを含むことを特徴とする積層型半導体パッケージ。

【請求項 5】 請求項 4 に記載の積層型半導体パッケージにおいて、前記基板が、前記レギュラーピンに個々に接続される共通配線と、該共通配線の一端から分岐して前記 2 個の半導体チップの各々の対応するチップピンにそれぞれ接続される第 1 及び第 2 の分岐配線とを含む配線パターンを有し、

前記第 1 の分岐配線の長さと同記第 2 の分岐配線の長さが、実質上等しくしてあることを特徴とする積層型半導体パッケージ。

【請求項 6】 請求項 5 に記載の積層型半導体パッケージにおいて、前記第 1 及び前記第 2 の分岐配線に夫々接続される 2 つのチップピンの中間位

置近傍にて前記基板にビア形成し、該ビアを介して前記第 1 及び第 2 の分岐配線を互いに接続するとともに前記共通配線に接続するようにしたことを特徴とする積層型半導体パッケージ。

【請求項 7】 請求項 5 に記載の積層型半導体パッケージにおいて、

前記レギュラーピンに対応する 2 つのチップピンが、前記基板を介して互いに向き合っている場合には、前記第 1 及び前記第 2 の分岐配線の代わりに前記基板にビアを形成するようにしたことを特徴とする積層型半導体パッケージ。

【請求項 8】 請求項 1 乃至 7 に記載の積層型半導体パッケージにおいて、

前記基板が、グランド及び／又は電源プレーンを有する多層基板であって、前記配線パターンが伝送線路を構成することを特徴とする積層型半導体パッケージ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、積層型半導体パッケージに関し、特に、高速データ転送が可能な積層型 D R A M パッケージに関する。

【0 0 0 2】

【従来の技術】

従来の積層型半導体パッケージは、図 1 0 に示すように、その上面中央部にキャビティー 1 0 1 が形成された基板 1 0 2 と、基板 1 0 2 の上面から下面にかけて形成された配線パターン 1 0 3 と、基板 1 0 2 のキャビティー 1 0 1 内に配設された半導体チップ 1 0 4 と、半導体チップ 1 0 4 を配線パターン 1 0 3 に接続するボンディングワイヤー 1 0 5 と、基板 1 0 2 の上面側で配線パターン 1 0 3 に接続される複数の端子パッド 1 0 6 と、基板 1 0 2 の下面側で配線パターン 1 0 3 に接続固定される複数の溶剤ボール 1 0 7 とを有している。

【0 0 0 3】

ここで、複数の端子パッド 1 0 6 と複数の溶剤ボール 1 0 7 とは、同一の配列となるように形成されている。即ち、この積層型パッケージを複数用意して互いに重ねあわせたときに、上に位置するパッケージの溶剤ボール 1 0 7 と

下に位置するパッケージの端子パッド 1 0 6 とが一対一で対応するようにしてある。従って、この積層型パッケージを複数重ねてリフロー工程を行えば、複数の半導体チップが互いに積層されかつ接続された積層パッケージを得ることができる（例えば、特許文献 1 参照。）。

#### 【 0 0 0 4 】

また、別の従来の積層型半導体パッケージは、図 1 1 に示すように、半導体チップ 1 1 1 とそれを包むフレキシブル基板 1 1 2 とを有している。

#### 【 0 0 0 5 】

図 1 2 に示すように、図 1 1 の積層型半導体パッケージに用いられる半導体チップ 1 1 1 の下面には、複数のコンタクト 1 2 1 が配列形成されている。また、フレキシブル基板 1 1 2 の上面には、半導体チップ 1 1 1 の下面に形成された複数のコンタクト 1 2 1 の配列に対応する配列（反転配列）の第 1 の導電パッド群 1 2 2 が形成されている。さらに、フレキシブル基板 1 1 2 の下面には、第 1 の導電パッド群と上下に重なるように（即ち、コンタクト 1 2 1 と同一の配列で）第 2 の導電パッド群が形成されるとともに、その両側には、第 3 及び第 4 の導電パッド群が形成されている。第 3 及び第 4 の導電パッド群は夫々、第 2 の導電パッド群の半分を反転させたように配置されており、対応する第 2 の導電パッド群の半分に配線パターンにより接続されている。

#### 【 0 0 0 6 】

半導体チップ 1 1 1 をフレキシブル基板 1 1 2 の上面に搭載すると、半導体チップのコンタクト 1 2 1 は、対応する第 1 の導電パッド 1 2 2 に接続されるとともに、基板 1 1 2 を突き抜け、その裏面に位置する第 2 の導電パッドにも接続される。その結果、半導体チップのコンタクト 1 2 1 の各々は、第 3 又は第 4 の導電パッド群に含まれるいずれかのパッドに接続される。半導体チップ 1 1 1 を包むようにフレキシブル基板 1 1 2 を折り曲げると、第 3 及び第 4 の導電パッド群は、半導体チップの上面側に位置する。第 3 及び第 4 の導電パッド群により形成される第 5 の導電パッド群は、第 1 の導電パッド群と同じ配列となる。

#### 【 0 0 0 7 】

以上のように構成された複数の半導体パッケージを互いに重ねあわせ、熱を加

えれば、上に位置するパッケージの第 2 の導電パッド群と、下に位置するパッケージの第 5 の導電パッド群とが互いに半田接続され、図 1 1 の複数の半導体チップが互いに積層されかつ接続された積層パッケージが得られる（例えば、特許文献 2 参照。）。

#### 【0 0 0 8】

##### 【特許文献 1】

特開平 1 1 - 2 2 0 0 8 8 号公報（要約）

#### 【0 0 0 9】

##### 【特許文献 2】

米国特許第 6 4 7 3 3 0 8 号公報（要約）

#### 【0 0 1 0】

##### 【発明が解決しようとする課題】

従来の積層型半導体パッケージは、1 枚の基板に 1 個の半導体チップを搭載して構成されており、これを複数重ねあわせることによって、積層パッケージが構成される。このような積層パッケージにおいては、最下に位置する積層型半導体パッケージのピン（ソルダーボールあるいは導電パッド）が外部接続端子（積層パッケージピン）として利用され、他の積層型半導体パッケージのピンは、その下に位置する積層型半導体パッケージへの接続に利用される。それゆえ、積層パッケージを構成する各積層型半導体パッケージのピンと、外部接続端子との間の配線距離は、各積層型半導体パッケージの上下位置に依存し、上に位置するものほど長くなる。つまり、従来の積層形半導体パッケージには、積層されたときに外部接続端子までの距離が、その積層位置によって異なるという問題点がある。

#### 【0 0 1 1】

本願発明は、1 枚の基板に半導体チップを 2 個搭載させ、かつ、外部接続端子から各半導体チップへの配線長を実質的に等しくすることができる積層型半導体パッケージを提供することを目的とする。

#### 【0 0 1 2】

また、本発明は、高速データ転送が可能な積層型半導体パッケージを提供することを目的とする。

**【 0 0 1 3 】****【課題を解決するための手段】**

本発明によれば、複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する 2 個の半導体チップを、前記搭載面が基板を挟んで互いに対向するように当該基板の表裏面に搭載したことを特徴とする積層型半導体パッケージが得られる。

**【 0 0 1 4 】**

この積層型半導体パッケージにおいて、前記基板は、その表面上または裏面上の領域であって、前記 2 個の半導体チップを搭載するための領域とは異なる領域に、前記複数のチップピンに夫々対応する複数のパッケージピンを備えている。

**【 0 0 1 5 】**

前記複数のパッケージピンは、前記予め定められた配置と同じ配置とすることができる。

**【 0 0 1 6 】**

前記複数のパッケージピンは、前記 2 個の半導体チップのうちのいずれか一方の対応するチップピンにのみ接続されるオプションピンと、前記 2 個の半導体チップの各々の対応するチップピンに共に接続されるレギュラーピンとを含む。

**【 0 0 1 7 】**

前記基板は、前記レギュラーピンに個々に接続される共通配線と、該共通配線の一端から分岐して前記 2 個の半導体チップの各々の対応するチップピンにそれぞれ接続される第 1 及び第 2 の分岐配線とを含む配線パターンを有しており、前記第 1 の分岐配線の長さと前記第 2 の分岐配線の長さとは、実質上等しくしてある。

**【 0 0 1 8 】**

前記第 1 の分岐配線の長さと前記第 2 の分岐配線の長さとを実質上等しくするために、前記第 1 及び前記第 2 の分岐配線に接続される 2 つのチップピンの中間位置近傍にて前記基板にビア形成し、該ビアを介して前記第 1 の分岐配線と前記第 2 の分岐配線とを前記共通配線に接続する。

**【 0 0 1 9 】**



前記レギュラーピンに対応する2つのチップピンが、前記基板を介して互いに向き合っている場合には、前記第1及び前記第2の分岐配線の代わりに前記基板にビアが形成される。

#### 【0020】

前記基板は、グランド及び／又は電源プレーンを有する多層基板であって、前記配線パターンは、伝送線路を構成している。

#### 【0021】

前記半導体チップとしては、DRAMがある。

#### 【0022】

#### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

#### 【0023】

図1に、本発明の一実施の形態に係る積層型半導体パッケージの概略構成図を示す。図示の積層型半導体パッケージ10は、第1の半導体チップ11と、第2の半導体チップ12、及びこれら半導体チップ11、12を搭載するためのフレキシブル基板13とを備えている。

#### 【0024】

第1の半導体チップ11は、フレキシブル基板13の上面を二分したときの一方の領域（チップ搭載領域）上に搭載されている。また、第2の半導体チップ12は、フレキシブル基板13を挟んで第1の半導体チップ11と対向するように、フレキシブル基板13の下面に搭載されている。第1及び第2の半導体チップ11、12のフレキシブル基板13への搭載は、例えば、半田ボールを用いて行われる。

#### 【0025】

また、フレキシブル基板13は、第2の半導体チップ12を包むように二つ折りされている。フレキシブル基板13の上面であって、二つ折りされた結果、この積層型半導体パッケージ10の下面となる領域には、この積層型半導体パッケージ10の外部接続端子となるパッケージピン（半田ボール）14が形成されている。

**【 0 0 2 6 】**

次に、図 2 乃至 5 を参照して、半導体チップ 1 1， 1 2 及びフレキシブル基板 1 3 の各構成について詳細に説明する。

**【 0 0 2 7 】**

第 1 の半導体チップ 1 1 と第 2 の半導体チップ 1 2 は、例えば D R A M などのメモリチップであって、同一の構成を有している。各半導体チップ 1 1， 1 2 の一面（搭載面）には、図 2 に示すように、フレキシブル基板 1 3 に対して電氣的・機械的に接続される複数のピン（半導体ボール、チップピンともいう。） 2 1 が、所定の配列で形成されている。

**【 0 0 2 8 】**

複数のチップピン 2 1 の各々には、それぞれ特定の役割（信号）が割り当てられている。例えば、D D R - I I 用の S D R A M の場合は、チップピン 2 1 がマトリクス状に配列されており、各チップピンに割り当てられる役割は、図 3 に示すようになる。なお、図 3 は、チップピンの配置を上面側から見た図である。図 3 において、例えば、A 行 1 列のピン（A 1 ピン）は、V D D 用である。

**【 0 0 2 9 】**

ここで、積層型半導体パッケージ 1 0 のパッケージピン 1 4 の配置について説明しておく。パッケージピン 1 4 の配置は、積層される半導体チップ 1 1（又は 1 2）のピン配置とほとんど同じである。例えば、上記 S D R A M を積層した積層型半導体パッケージのパッケージピンの配置は、図 4 に示すようになる。図 4 において、図 3 のものと異なるピンは、太字で描かれている。

**【 0 0 3 0 】**

図 3 及び図 4 において、大雑把な分類をすると、ほぼ上半分がデータ（D Q）系ピン、ほぼ下半分がコマンドアドレス（C/A）系ピンである。また、図 4 に太字で示す 3 組 6 個のピン、即ち、チップ選択ピン（C S 0 及び C S 1）、クロックピン（C K E 0 及び C K E 1）、及びオンダイターミネーションピン（O D T 0 及び O D T 1）は、第 1 の半導体チップ 1 1 と第 2 の半導体チップ 1 2 とを互いに独立して動作させるためのものであって、いずれか一方の半導体チップのみと接続されるピンである。例えば、第 1 の半導体チップ 1 1 の C S、C K E 及

びODTが、夫々パッケージピンのCS0、CKE0及びODT0に接続されるのであれば、第2の半導体チップ12のCS、CKE及びODTは、CS1、CKE1及びODT1にそれぞれ接続される。

#### 【0031】

このように第1の半導体チップ11と第2の半導体チップ12とを互いに独立して動作させるパッケージピンをオプションピンと呼び、その他のパッケージピンをレギュラーピンと呼称する。

#### 【0032】

図4の積層型半導体パッケージのピン配列は、図3の半導体チップ単体用のチップピン配置に第2の半導体チップ用のオプションピンが追加された配列となっている。

#### 【0033】

一方、フレキシブル基板13は、多層配線基板であって、例えば、表層として上下2層（又は表層及び裏層）の信号層と、内層としてVDDプレーン及びGNDプレーンの2層とを備えた四層基板である。図5に示すように、フレキシブル基板13の上面のチップ搭載領域51には、第1の半導体チップ11の各ピンに対応するよう同一の配列とされた複数のチップ接続パッド（第1の接続パッド群）が形成されている。また、フレキシブル基板13の上面の残りの領域52には、この積層型半導体パッケージ10の外部接続端子となる複数のパッケージピン（パッケージピン群）に対応した外部接続用パッド群が、第1の半導体チップ11のピン配列と鏡像配列となるように形成されている。さらに、フレキシブル基板13の下面であって、チップ搭載領域51の裏面にあたる領域53には、第2の半導体チップ12の各ピンに対応するよう配列された（鏡像配列）複数のチップ接続パッド（第2の接続パッド群）（図示せず）が形成されている。さらにフレキシブル基板13の下面であって、外部接続用パッド群に対応する領域54には外部接続用パッドと接続されたビアが形成されている。フレキシブル基板13は、さらに、第1の接続パッド群及び第2の接続パッド群の接続パッドのパッドの各々を、対応する外部接続用パッド（パッケージピン）に接続するための配線を備えている。

**【0034】**

図6（a）及び（b）に示すように、第1の半導体チップ及び第2の半導体チップ11、12は、フレキシブル基板13のチップ搭載領域の上下面に夫々搭載される。このとき、第1の半導体チップ11と第2の半導体チップ12とは、図6（a）から容易に理解されるように、互いに反転した状態となる。この状態では、例えば、第1の半導体チップ11のA1ピンは、左側（左奥）に位置するのに対して、第2の半導体チップ12のA1ピンは、右側（右奥）に位置する。

**【0035】**

フレキシブル基板13の配線は、上記のような反転関係にある第1の半導体チップ11の各ピンと、それに対応する（同じ役割の）第2の半導体チップ12のピンとを、ともに対応するパッケージピン14に接続する。但し、前述した、各半導体チップ11、12を独立動作させるためのチップピンについては、いずれか一方のみに対応するパッケージピン14に接続する。

**【0036】**

第1及び第2の半導体チップ11、12をフレキシブル基板13に搭載した後、第2の半導体チップ12を包むようにフレキシブル基板13を折り曲げると（二つ折りにすると）、図1に示した積層型半導体パッケージが得られる。このとき、パッケージピンは、第1の半導体チップ11のピンと同じ向きで、同じ配列となる。したがって、この積層型半導体パッケージ10は、第1の半導体チップ11単体を搭載するためのボード（但し、オプションピンに対応するもの）に、そのまま搭載することが可能である。これは、第1の半導体チップ11を搭載するために必要な実装面積を持つボードに、2倍の記憶容量のメモリパッケージが搭載できるようになることを意味する。

**【0037】**

以下、第1及び第2の半導体チップが接続される接続パッドと外部接続パッドとの間の接続について説明する。

**【0038】**

第1及び第2の半導体チップのピンには、パッケージピンのうちのオプションピンに接続されるチップピンと、レギュラーピンに接続されるチップピンとがあ

る。また、レギュラーピンに接続されるチップピンには、VDDプレーン又はGNDプレーンを介してレギュラーピンに接続されるものと、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続されるものがある。さらに、信号層を介してレギュラーピンに接続されるチップピンには、互いに対向する一対のピンを基板に形成したビアを介して直結されるものがある。これらのチップ間の接続を実現するため、各パッド間には以下のように接続される。

#### 【0039】

第1の接続パッド群のうち、オプションピンに接続されるチップピン用のパッドは、フレキシブル基板の表層側信号層の一部である配線（信号線）により、対応するオプションピン用の外部接続パッドに接続される。一方、第2の接続パッド群のうち、オプションピンに接続されるチップピン用のパッドは、フレキシブル基板の裏層側信号層の一部である配線（信号線）により、フレキシブル基板の裏面に形成されたビアであって、対応するオプションピン用の外部接続パッドに接続されているビアに接続される。ここで、裏面側配線は、外部接続パッドからビアにより接続された構造である。

#### 【0040】

また、第1の接続パッドうち、VDDプレーンを介してレギュラーピンに接続されるチップピン用のパッド（VDD，VDDQ）は、そこから基板裏面側に向かって形成されたビアによりVDDプレーンに接続される。さらに、VDDプレーンは、ビアにより対応する外部接続パッドに接続されている。同様に、第1の接続パッドうち、GNDプレーンを介してレギュラーピンに接続されるチップピン用のパッドは、そこから基板裏面側に向かって形成されたビアによりGNDプレーンに接続される。一方、第2の接続パッド群のうち、VDDプレーンを介してレギュラーピンに接続されるチップピン用のパッドは、そこから基板表面側に向かって形成されたビアによりVDDプレーンに接続される。同様に、第2の接続パッドのうち、GNDプレーンを介してレギュラーピンに接続されるチップピン用のパッド（VSS，VSSQ）は、そこから基板裏面側に向かって形成されたビアによりGNDプレーンに接続される。

#### 【0041】

ここでは、電源関係のパッド（VDD，VDDQ）は、一枚のVDDプレーンに接続されているが、VDDとVDDQとを一VDDプレーン内で分割して別配線としたり、また、表層側及び／又は裏面側配線の空きスペースに配線してもよく、さらに追加プレーンを設けてもよい。GNDプレーンに接続されるパッド（VSS，VSSQ）に関しても、同様の配線としてよい。

#### 【0042】

第1の接続パッド群のうち、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続されるチップピン用のパッドは、後述のビアで裏面側のパッドと直結されるパッドを除き、第1と第2の接続パッドのうちの対応するパッドの中間点近傍に形成されたビアに、表層側信号層の一部である配線（分岐配線）により接続される。第2の接続パッド群の対応するパッドは、同ビアに裏層側信号層である配線（分岐配線）により接続される。つまり、各レギュラーピンに信号層の配線を用いて接続される一対のチップピン用のパッド対は、それらの中間点近傍に形成されたビアを介して互いに接続される。一対の接続パッドが接続されたビアは、表層側又は裏層側信号層の配線（共通配線）により、対応するレギュラーピン用の外部接続パッドに接続される。この構成により、互いに対応する一対の接続パッド（チップピン）に接続される分岐配線の長さを実質上（実用上問題が生じない程度に）互いに等しくすることができる。

#### 【0043】

第1の接続パッド群のうち、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続される接続パッドの残りは、裏面側に位置する第2の接続パッド群の接続パッドにビアで接続される。これは、各半導体チップのピンには、その役割を入れ替えても差し支えないものが存在することによる。例えば、各半導体チップのピンに図3のような役割が割り当てられているとき、フレキシブル基板を挟んで対向配置された第1及び第2の半導体チップの一方のDQ0，DQ1，DQ3及びDQ4ピンは、他方の半導体チップのDQ1，DQ0，DQ4及びDQ3ピンと向き合うことになる。ここで、各半導体チップのDQ0，DQ1，DQ3及びDQ4ピンは、その役割を交換することが可能であるため、互いに向き合っているピン同士を同じレギュラーピンに接続しても何ら問題は生じない。

そこで、これらのピンが接続される第 1 の接続パッド群の接続パッドは、その裏面側に位置する第 2 の接続パッド群の接続パッドにビアで直結される。そして、ビアで互いに接続された一对の接続パッドの一方が、表層側又は裏層側の信号層の配線により対応するレギュラーピンに接続される。

#### 【 0 0 4 4 】

なお、ビアで直結可能な接続パッドについても、設計上あるいは製造上の都合により、先に述べたパッドと同様に、互いに対応する 2 つの接続パッドの中間点近傍にビアを形成して互いに接続するようにしてもよい。あるいは、表裏に位置するピン同士を直結せず、それとは別の位置にビアを形成し、それに配線を用いて接続するようにしてもよい。ビアでパッドを直結する場合は、パッド上でビアを形成し直結しているが、パッド近傍でビアを形成し、直結することも可能であることは自明である。

#### 【 0 0 4 5 】

次に、第 1 及び第 2 の接続パッド群と外部接続パッドとの間の接続について、特に、レギュラーピンに接続されるチップピン用の接続パッドに関する接続について、具体例を挙げて説明する。

#### 【 0 0 4 6 】

図 7 (a) は、フレキシブル基板 1 3 の表層側信号層の一部（半導体チップの A ～ D 行に対応）を示す図である。また、図 7 (b) は、図 7 (a) に対応するフレキシブル基板 1 3 の裏層側信号層の一部である。なお、図 7 (a) 及び (b) は、いずれもフレキシブル基板 1 3 を表面（上面）側から見た図である。

#### 【 0 0 4 7 】

図 7 (a) に示すように、第 1 の半導体チップの A 8 ピン用の接続パッドは、表層側の配線（分岐配線）7 1 によりビア 7 2 に接続されている。一方、第 2 の半導体チップの A 8 ピン用の接続パッドは、図 7 (b) に示すように、裏層側の配線（分岐配線）7 3 によりビア 7 2 に接続されている。ここで、ビア 7 2 は、配線 7 1 と配線 7 2 の長さを等しくするために、第 1 の半導体チップの A 8 ピン用の接続パッドと第 2 の半導体チップの A 8 ピン用の接続パッドとの中間点近傍に形成されている。配線 7 1 と配線 7 3 は、その長さが実質上等しく、かつ伝送

路となるよう（インピーダンスが整合するよう）に形成されている。ビア72は、さらに裏層側信号層の配線（共通配線）74により、A8パッケージピン用のパッドに接続形成された裏面側のビア75に接続されている。

#### 【0048】

第1及び第2の半導体チップのB3ピン用の接続パッドは、A8ピン用の接続パッドと同様に、それらの中間点近傍に形成されたビア76を介して互いに接続されている。このビア76は、A8ピン用のビア72とは異なり、表層側信号層の信号線77により、B3パッケージピン用のパッドに接続されている。

#### 【0049】

第1及び第2の半導体チップのB7ピンに対応する接続パッドも、A8ピン用の接続パッドの場合と同様にして、B7パッケージピン用のパッド裏面のビア78に接続されている。

#### 【0050】

第1の半導体チップのC2ピン及びD3ピン用の接続パッドは、図7（a）に示すように、表層側信号層の配線により、C8パッケージピン及びD7パッケージピン用の外部接続パッドに夫々接続されている。また、図示はされていないが、これらの接続パッドは、裏面側の第2の半導体チップのC8ピン及びD7ピン用の接続パッドにそれぞれビアによって直結されている。

#### 【0051】

一方、第2の半導体チップのC2ピン及びD3ピン用の接続パッドは、図7（b）に示すように、裏層側信号層の配線により、C2パッケージピン及びD3パッケージピンに夫々接続されたビアに接続されている。また、図示はされていないが、これらの接続パッドは、表面側の第1の半導体チップC8ピン及びD7ピン用の接続パッドにそれぞれビアによって接続されている。

#### 【0052】

なお、A1ピン用の接続パッドのように、VDDプレートに接続されるパッドは、ビアによって直接VDDプレートに接続される。GNDプレートに接続されるパッドについても同様である。

#### 【0053】



また、オプションピンに接続されるチップピン用の接続パッドは、第 1 又は第 2 の C 2 ピンあるいは D 3 ピン用の接続パッドと同様に、表面側又は裏面側の信号層の配線により行われる。

#### 【 0 0 5 4 】

以上、本発明について一実施の形態に即して説明したが、本願発明は、上記実施の形態に限定されるものではない。

#### 【 0 0 5 5 】

例えば、上記説明では、パッケージピンの位置が第 1 の半導体チップのチップピンの位置に上下方向に一致するようにしたが、図 8 に示すように、共通配線の長さを短くするため、パッケージピンの位置をずらしてもよい。また、図 9 ( a ) 及び ( b ) に示すように、パッケージピンの配置を第 1 の半導体チップのチップピンの配置と全く異なるものとしてもよい。

#### 【 0 0 5 6 】

##### 【発明の効果】

本発明によれば、同一のピン配置を持つ 2 個の半導体チップを、基板を挟んで対向するようその基板の表裏面に搭載するようにしたことで、各パッケージピンから各半導体チップの対応チップピンまでの配線長を実質的に等しくすることができ、データの高速転送が可能となる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の一実施の形態に係る積層型半導体パッケージの概略構成を示す ( a ) 斜視図及び ( b ) 正面図である。

##### 【図 2】

図 1 の積層型半導体パッケージに使用される半導体チップの概略構成を示す斜視図である。

##### 【図 3】

図 2 の半導体チップのピンの役割を説明するための配置図である。

##### 【図 4】

図 1 の積層型半導体パッケージのパッケージピンの役割を説明するための配置

図である。

【図 5】

図 1 の積層型半導体パッケージに使用されるフレキシブル基板の概略構成を示す斜視図である。

【図 6】

半導体チップをフレキシブル基板に搭載する前の状態を示す概略図であって、(a) は斜視図、(b) は縦断面図である。

【図 7】

図 5 のフレキシブル基板の配線の一部を示す図であって、(a) は、第 1 のチップ接続パッド群と外部接続パッド群との接続関係、(b) は、第 2 のチップ接続パッド群と外部接続パッド群に接続されるビアとの接続関係を示す図である。

【図 8】

本発明の積層型半導体パッケージの変形例を示す概略断面図である。

【図 9】

本発明の積層型半導体パッケージの他の変形例を示す (a) 概略断面図、(b) 斜視図である。

【図 1 0】

従来の積層型半導体パッケージの一例の概略構成を示す断面図である。

【図 1 1】

従来の積層型半導体パッケージの他の例の概略構成を示す斜視図である。

【図 1 2】

図 1 1 の積層型半導体パッケージに用いられる半導体チップとフレキシブル基板の構成を説明するための分解斜視図である。

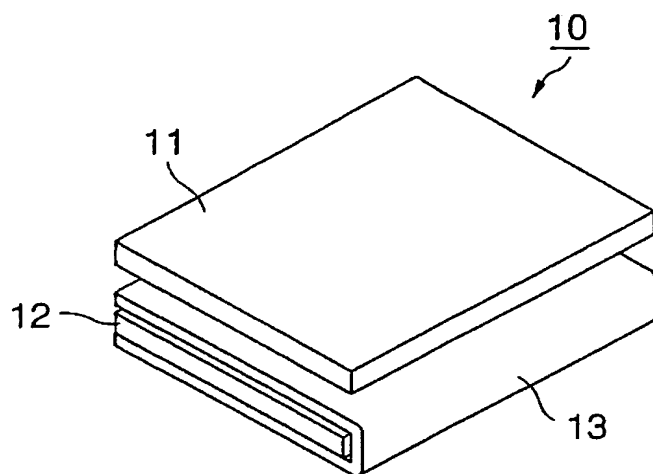
【符号の説明】

- 1 0 積層型半導体パッケージ
- 1 1 第 1 の半導体チップ
- 1 2 第 2 の半導体チップ
- 1 3 フレキシブル基板
- 1 4 パッケージピン

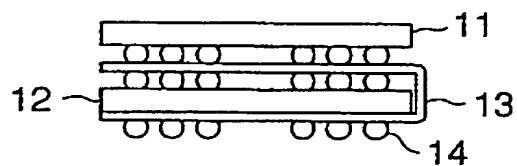
- 2 1      チップピン
- 5 1      チップ搭載領域
- 5 2      フレキシブル基板上面の残りの領域
- 5 3      フレキシブル基板下面の、チップ搭載領域の裏面にあたる領域
- 5 4      フレキシブル基板下面の、外部接続用パッド群に対応する領域
- 7 1, 7 3, 7 4, 7 7      配線
- 7 2, 7 5, 7 6, 7 8      ビア
- 1 0 1      キャビティ
- 1 0 2      基板
- 1 0 3      配線パターン
- 1 0 4      半導体チップ
- 1 0 5      ボンディングワイヤー
- 1 0 6      端子パッド
- 1 0 7      ソルダーボール
- 1 1 1      半導体チップ
- 1 1 2      フレキシブル基板
- 1 2 1      コンタクト
- 1 2 2      第 1 の導電パッド群

【書類名】 図面

【図 1】

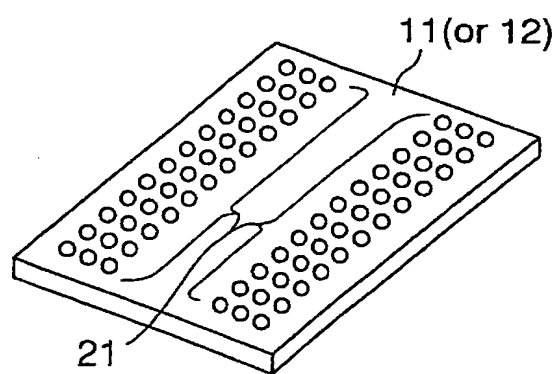


(a)



(b)

【図 2】



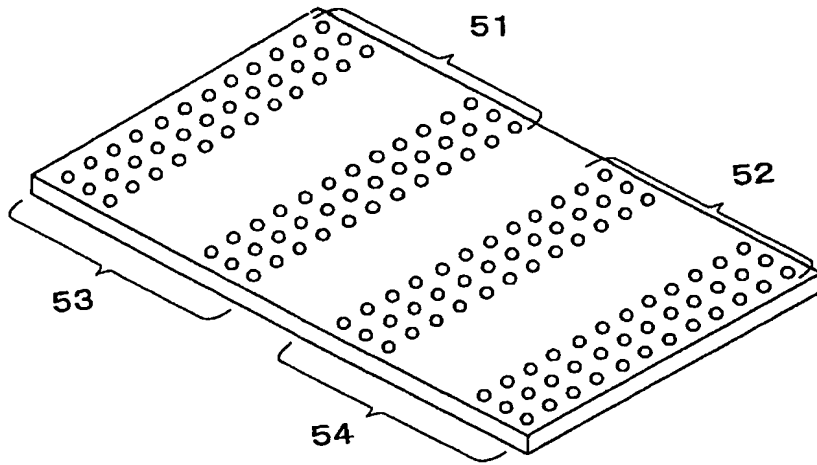
【図 3】

1	2	3		7	8	9
VDD	NC	VSS	A	VSSQ	$\overline{\text{DQS}}$	VDDQ
NC	VSSQ	DM	B	DQS	VSSQ	NC
VDDQ	DQ1	VDDQ	C	VDDQ	DQ0	VDDQ
NC	VSSQ	DQ3	D	DQ2	VSSQ	NC
VDDL	VREF	VSS	E	VSSDL	CK	VDD
	CKE	$\overline{\text{WE}}$	F	$\overline{\text{RAS}}$	$\overline{\text{CK}}$	OTD
BA2	BA0	BA1	G	$\overline{\text{CAS}}$	$\overline{\text{CS}}$	
	A10	A1	H	A2	A0	VDD
VSS	A3	A5	J	A6	A4	
	A7	A9	K	A11	A8	VSS
VDD	A12	A14	L	A15	A13	

【図 4】

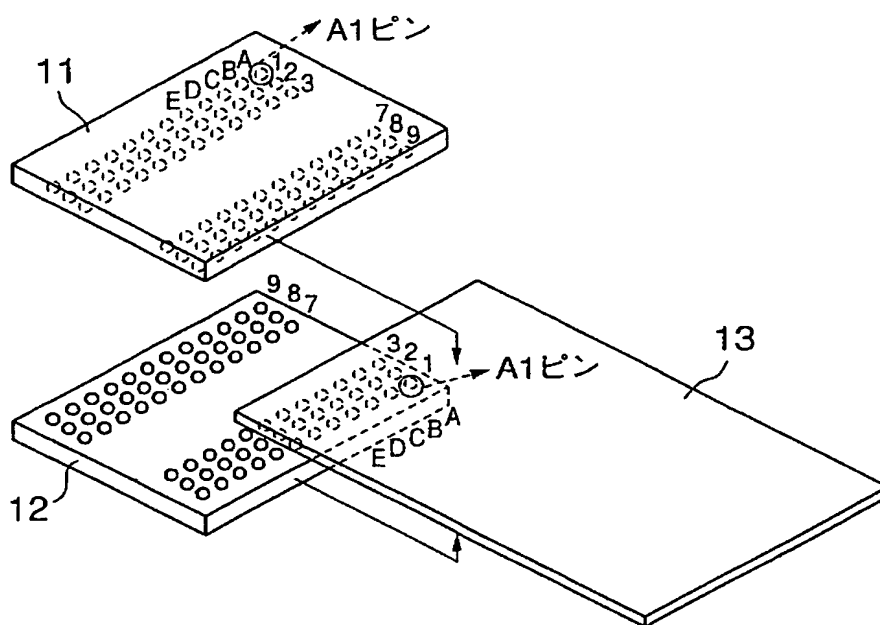
1	2	3		7	8	9
VDD	NC	VSS	A	VSSQ	$\overline{\text{DQS}}$	VDDQ
NC	VSSQ	DM	B	DQS	VSSQ	NC
VDDQ	DQ1	VDDQ	C	VDDQ	DQ0	VDDQ
NC	VSSQ	DQ3	D	DQ2	VSSQ	NC
VDDL	VREF	VSS	E	VSSDL	CK	VDD
	<b>CKE0</b>	$\overline{\text{WE}}$	F	$\overline{\text{RAS}}$	$\overline{\text{CK}}$	<b>ODT0</b>
BA2	BA0	BA1	G	$\overline{\text{CAS}}$	<b>CS0</b>	<b>CS1</b>
<b>CKE1</b>	A10	A1	H	A2	A0	VDD
VSS	A3	A5	J	A6	A4	<b>ODT1</b>
	A7	A9	K	A11	A8	VSS
VDD	A12	A14	L	A15	A13	

【図 5】

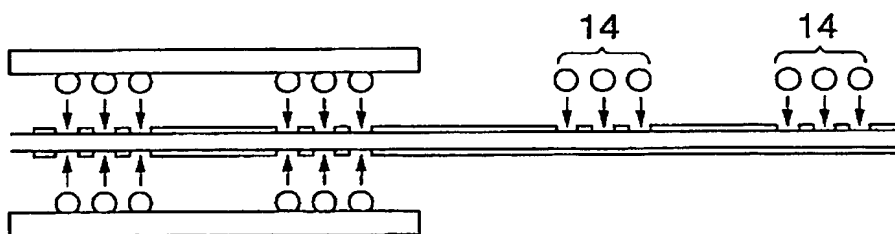


【図 6】

(a)

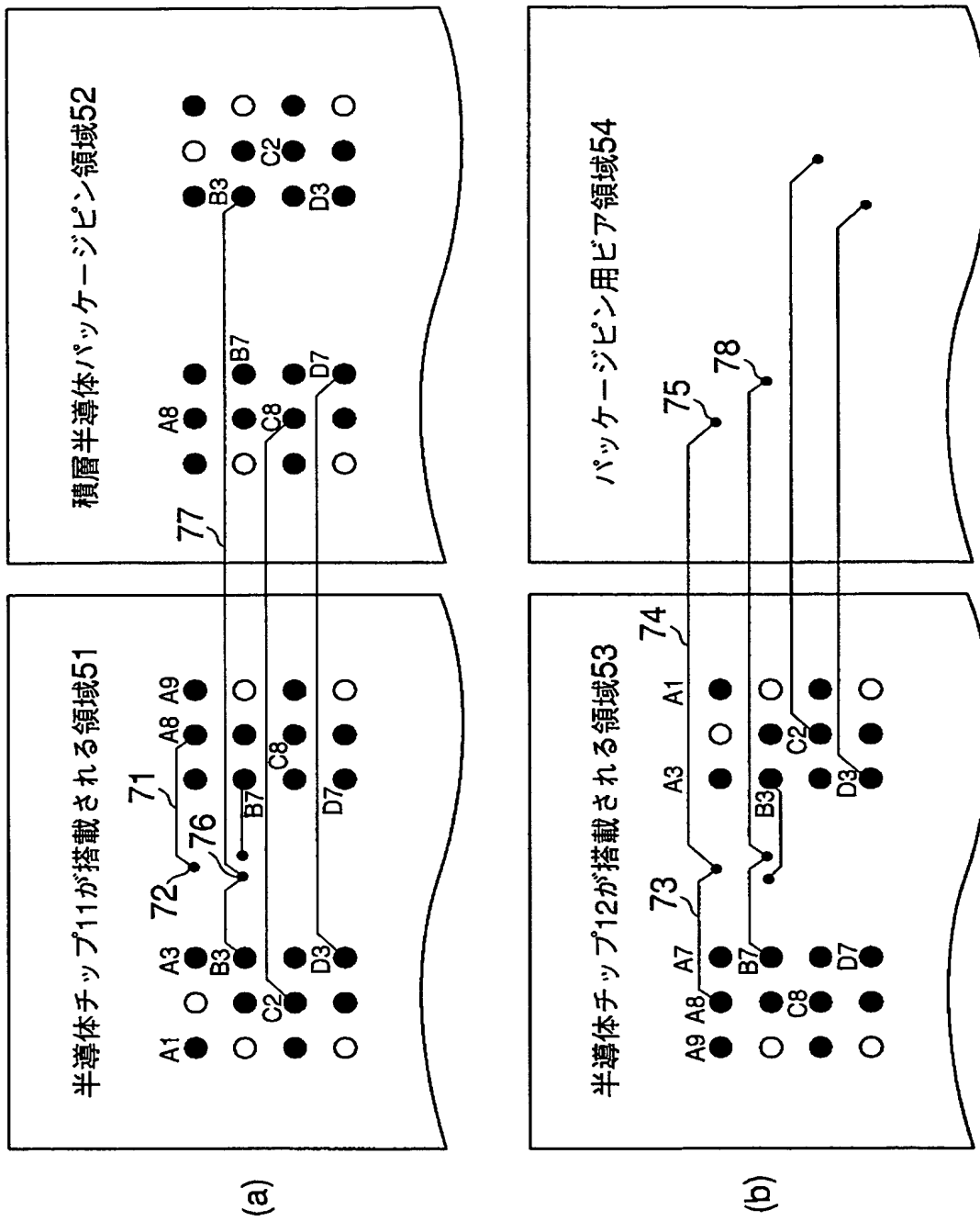


(b)

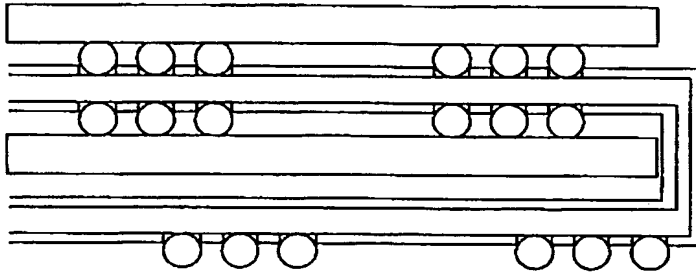




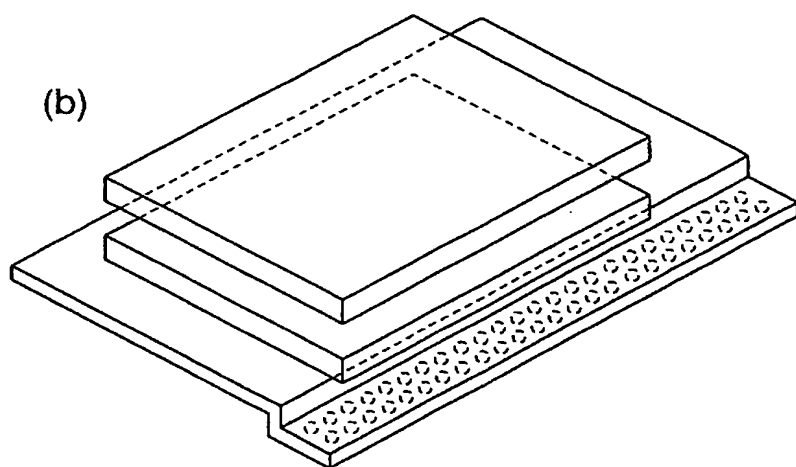
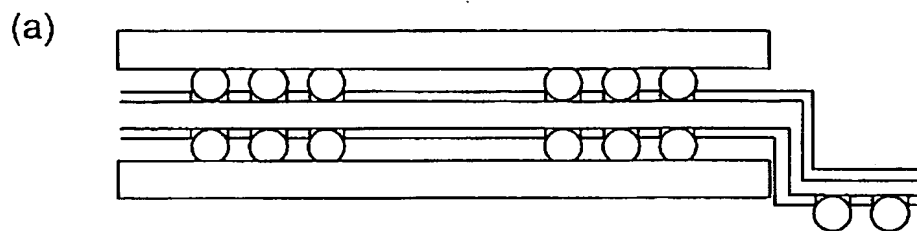
【図 7】



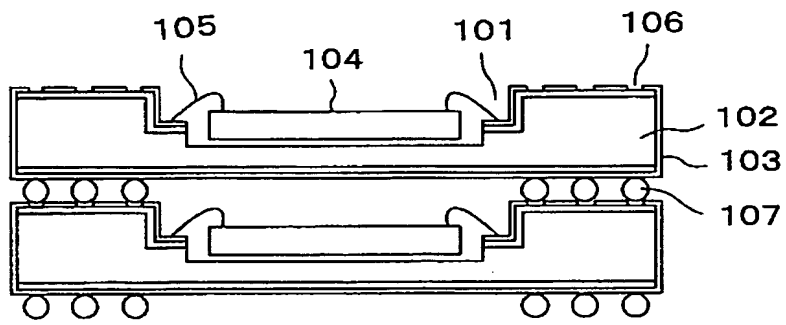
【図 8】



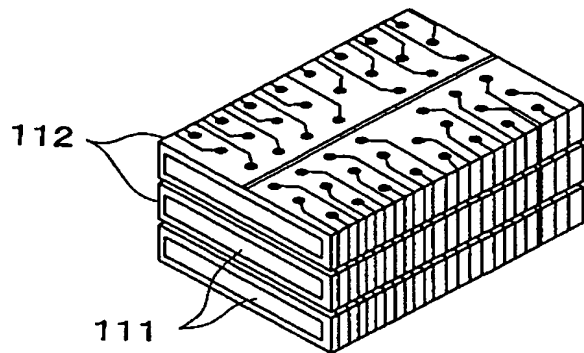
【図 9】



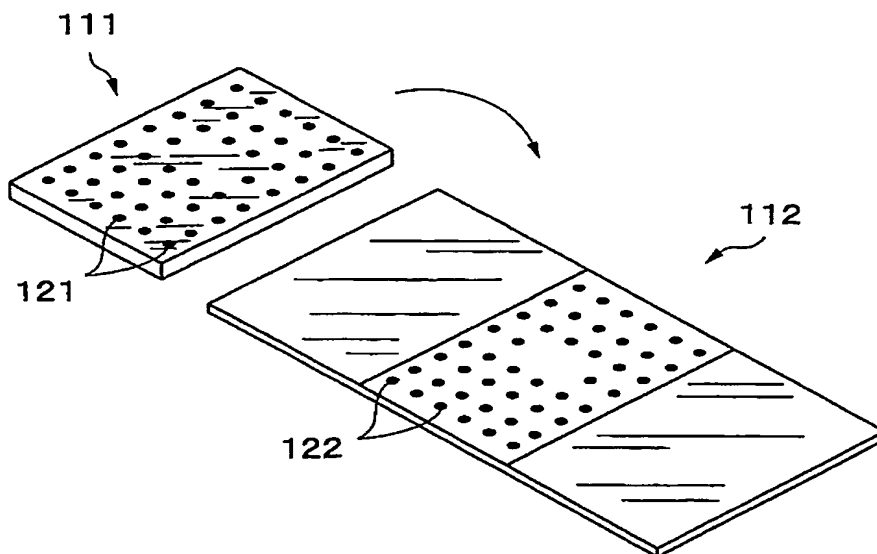
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 1 枚の基板に半導体チップが 2 個搭載され、外部接続端子から各半導体チップへの配線長を実質的に等しくすることができる積層型半導体パッケージを提供する。

【解決手段】 複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する 2 個の半導体チップ 1 1, 1 2 を、その搭載面が基板 1 3 を挟んで互いに対向するように当該基板の表裏面に搭載する。基板のチップ非搭載面には、チップピンの配置と同じ配置のパッケージピンが形成されている。両半導体チップの互いに対応するチップピンは、それらの中間位置に形成されたビアに同一長の分岐配線を用いて接続される。各ビアは、そこに接続されたチップピンに対応するパッケージピン 1 4 に、共通配線を用いて接続される。

【選択図】 図 1

特願 2 0 0 3 - 0 5 3 2 6 0

出 願 人 履 歴 情 報

識別番号 [ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社